

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-056984

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

G06F 17/50

H01L 21/82

(21)Application number : 05-202431

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 17.08.1993

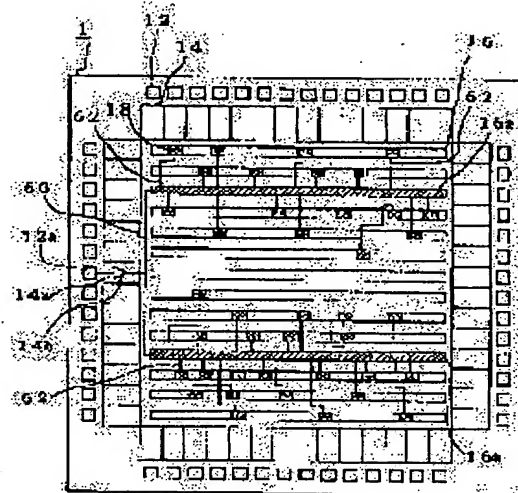
(72)Inventor : NAKAMURA ATSUNOBU

(54) LAYOUT DESIGN METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To improve the efficiency of layout design as reducing the skew of a clock signal in the inside of a semiconductor integrated circuit.

CONSTITUTION: The number of basic cell strings 16a for clock driver used as a clock driver is estimated from the number of a basic cell 18 which inputs the clock signal. The wiring design of a clock line is performed by arranging by inserting the basic cell string 16a for clock driver after the arranging/wiring design of a signal other than the clock signal is performed. Since a large number of basic cells in the basic cell string 16a for clock driver are used, and also, since the basic cell string is arranged by inserting to an appropriate part, the skew of the clock signal can be reduced. Also, since no specific basic cell is used and the arranging/wiring of the clock driver is performed in unit of basic cell string, the efficiency of the layout design can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

技術表示箇所	
FI	
庁内整理番号	
識別記号	
(5)IntCl.	
G 0 6 F 17/50	
H 0 1 L 21/82	
7623-5L	G 0 6 F 15/ 60
8122-4M	H 0 1 L 21/ 82
	W
	審査請求 未請求 請求項の数 1 O L (全 7 頁)
(21)出願番号	特願平5-202431
(22)出願日	平成5年(1993)8月17日
(71)出願人	000001258 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号
(72)発明者	中村 厚信 東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内
(74)代理人	弁理士 高矢 勲 (外2名)

(54)【発明の名称】

半導体集積回路のレイアウト設計方法

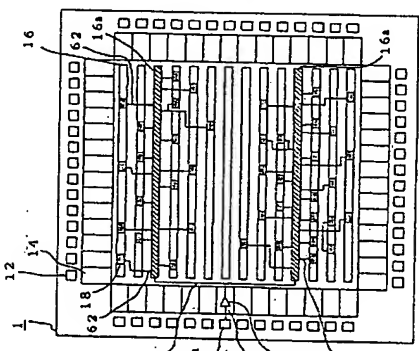
(57)【要約】

【目的】

半導体集積回路内部でのクロック信号のスキューの低減を図りながら、レイアウト設計の能率を向上する。

【構成】

クロック信号を入力する基本セル18の周縁から、クロックドライバとして用いるクロックドライバ用基本セル列16aの列数を見積る。他の基本セル列16を用いて、クロック信号に関するもの以外の配線配線6を行った後、前記クロックドライバ用基本セル列18aを挿入配置し、クロックラインの配線設計を行う。クロックドライバ用基本セル列18a中の多数の基本セルを用いるので、又、該基本セル列を適所へと挿入配置するので、クロック信号のスキューが低減される。又、特殊な基本セルを用いず、又基本セル列抽出にクロックドライバの配置配線を行うので、設計能率が向上される。



(1)【特許請求の範囲】

【請求項1】

論理回路を構成するための複数個の基本セルを配列した基本セル列が複数列設けられ、各基本セル間を接続すること、所望の論理回路を作り込むようにした半導体集積回路のレイアウト設計方法において、

クロックドライバからクロック信号を入力する負荷の大きさを、該クロックドライバとして用いるクロックドライバ用基本セル列とされる、前記基本セル列の列数を、

前記クロックドライバ用基本セル列以外の、論理生成基本セル列とされる前記基本セル列を用いて、作り込む所望の論理回路のうち、前記クロックドライバ以外及びその出力に接続される基本セルへのクロックライン以外の配置配線設計を行い、

前記クロック信号を入力する基本セルの半導体集積回路上で分布を配線しながら、複数の前記論理生成基本セル列の列間に、前記クロックドライバ用基本セル列を挿入配置し、

挿入配置された該クロックドライバ用基本セル列に対して、前記クロックラインの配線設計を行うことを特徴とする半導体集積回路のレイアウト設計方法。

(2)【発明の詳細な説明】

(0001)

【産業上の利用分野】

本発明は、論理回路を構成するための複数個の基本セルを配列した基本セル列が複数列設けられ、各基本セル間を接続すること、所望の論理回路を作り込むようにした半導体集積回路のレイアウト設計方法に係り、特に、半導体集積回路の内部の各部で用いるクロック信号のスキューの低減を図りながら、より能率良く設計することができ半導体集積回路のレイアウト設計方法に関する。

(3)【従来の技術】

半導体集積回路に作り込まれるもの等、論理回路は、非同相式順序回路と、同相式順序回路とに分類することがある。この非同相式順序回路は、出力を現在の入力のみでは定めず、その時点での入力や前順序回路の過去の履歴に依存して定められ、その入力やその順序回路の状態が変化した場合に、逐次その出力を変化するというものである。このような非同相式順序回路の設計時には、結合条件やハザードに関して注意が必要である。

(4)【0003】

一方、前述の同相式順序回路は、その出力の状態変化や、場合によってはその内部の状態変化、所定のクロック信号を用いて同期させている。このため、前述の非同相式順序回路の場合に比べて、同相式順序回路とした場合の方が、論理回路の設計は一般的に容易である。しかしながら、このような同相式順序回路において、クロック信号の分配時に、スキューが問題となるような場合がある。このような場合には、分配される

(2)

特開平7-56984

クロック信号の一部を遅延させて、スキュー調整が行われる。又、前記クロック信号は、このような同相式順序回路内部で多く用いられるものである。従って、論理回路内の各部と、前記クロック信号を出力し供給するために、クロックバッファ等の出力の駆動能力を大きくする必要がある。

(0004)

図5は、従来の半導体集積回路チップの模式的レイアウト図である。

(0005)

この図5に示される従来の半導体集積回路チップ1aにおいては、そのチップ周辺には、多数の入力用基本セル24や図示されない多数の出力用基本セルが配置されている。又、それぞれの前記入力用基本セル24には、入力用バッファゲート22及び図示されない入力用バッファゲート20が作り込まれている。

(0008)

又、前記半導体集積回路チップ1aの内部には、内部ゲート領域3が設けられている。主として、該内部ゲート領域3へと、組み込もうとする論理回路が作り込まれる。例えばこの図5においては、該内部ゲート領域3へと、合計7個のバッファゲート42によらずに、一定の論理回路、即ち、クロックツリーが作り込まれている。

(0007)

このようなクロックツリーによれば、例えば最終的にクロック信号を入力する基本セルまでの前記バッファゲート42の段数を揃えることで、前述のようなクロックスキューの問題を低減することができる。又、このようなクロックツリーでは、このように多数の前記バッファゲート42を用いることで、対象となる論理回路各部のクロック信号を入力する多数の基本セルに対して、安定してクロック信号を供給することができ、即ち、クロック信号を供給するための出力駆動能力の不足を避けることができる。

(0008)

一方、特開第62-150844では、ゲートアレイのようなマスタスライス方式の論理LSI (large scale integrated circuit)等において、その内部の一般的な基本セルとは別個に、これよりも大きな駆動能力を有する回路を構成可能な第2の基本セルを配置した特殊基本セル列を設けるとい技術が開示されている。この特開第62-150844によれば、クロックバッファを構成する際、特殊基本セル内のMOS (metal oxide semiconductor) トランジスタを複数個並列に使うことで、チップサイズが必要以上に大きくなってしまったり、所望の動作速度が得られなくなってしまうという問題を解決することができる。

(0009)

【発明が解決しようとする課題】

しかしながら、前記図5に示されるもの等、前述のクロックツリーを用いるものでは、クロックツリーを設計する必要があるため、設計者の負担を増加させてしまうという問題がある。例えば、このようなクロックツリーを構成する多数のバッファゲートの半導体集積回路上の配置設計や、このよう

なクロックツリに係る配線設計等の負担が生じてしまう。

(0010)又、前述の特開第62-150844において、一般的な基本セルより大きな駆動力を有する基本セルを開発しておかなければならず、設計上の負担が増加してしまうという問題がある。

(0011)又、このような駆動力を増加させた基本セルが配線された前記基本セル列は、当該特開第62-150844では、定まった数だけのものが、その半導体集積回路中央部に配設されているものとされている。このため、その半導体集積回路に作り込むと論理回路で多くのクロック信号を必要とする場合には、このような予め定められた数の前記特殊基本セル列だけでは、駆動力が不足してしまふ恐れがある。

(0012)又、半導体集積回路に作り込む論理回路においては、クロック信号を入力する基本セルの半導体集積回路上の分布が偏り、作り込む場合も少ない。この場合には、前記特殊基本セル列がその半導体集積回路上の略中央に配設されてしまふと、能率良くクロック信号を分配することはできなくなってしまう。スキャンが低減できなくなってしまう。

(0013)本発明は、前記従来の問題点を解決するべく、なされたもので、半導体集積回路の内部の各部で用いるクロック信号のスキューの低減を図りながら、より能率良く設計することができ、半導体集積回路のレイアウト設計方法を提供することを目的とする。

(0014)

(課題を解決するための手段)本発明は、論理回路を構成するための複数の基本セルを配列した基本セル列が、

複数の列に配列され、各基本セル間に配線接続すること、
30 所望の論理回路を作り込むようにした半導体集積回路のレイアウト設計方法において、クロックドライバからクロック信号を入力する負荷の大きさから、該クロック

ドライバとして用いるクロックドライバ用基本セル列とされる、前記基本セル列の列数を算出し、前記クロックドライバ用基本セル列以外の、論理生成基本セル列とされる前記基本セル列を用いて、作り込む論理回路のうち、前記クロックドライバ以外及びその出力に接続される各基本セルへのクロック信号の出力に接続される各基本セルへの半導体

集積回路上の分布を配線しながら、複数の前記論理生成基本セル列の列間に、前記クロックドライバ用基本セル列を挿入配置し、挿入配置された該クロックドライバ用基本セル列に対して、前記クロック信号の配線設計を行うことにより、前記問題を達成したものである。

(0015)

(作用)論理回路を構成するための複数の基本セルを配列した基本セル列が複数設けられ、各基本セル間に配線接続すること、所望の論理回路を作り込むようにした半導体集積回路(以降、マスタスライス半導体集積

回路と称する)には、例えばゲートアレイがある。該ゲートアレイは、配線回路より下層は共通化され、一方配線回路の工程をカスタム化することで、半導体集積回路のTAT(turn around time)の短縮や、設計又製造に要するコストの低減を図ったものである。このようなゲートアレイを含め、前記マスタスライス半導体集積回路においては、このようにTATの短縮やコストの低減が図られており、比較的小量の生産しかされない半導体集積回路に多く用いられている。

(0016)本発明は、このような特徴を有するマスタスライス半導体集積回路において、前述の特開第62-150844等のように特殊基本セル、又該特殊基本セルが配列された前記特殊基本セル列を備えることが、設計能率を低下させてしまふ等の点で問題を有していることとを鑑みしてなされたものである。即ち、本発明は、前記マスタスライス半導体集積回路が備える基本セルのみを用いながら、その半導体集積回路の内部の各部へクロック信号を供給する際に、該クロック信号のスキューの低減を図りながら、その設計能率をより向上させるレイアウト設計方法を見出してなされたものである。

(0017)本発明の半導体集積回路のレイアウト設計方法においては、特に、半導体集積回路の内部の各部で用いるクロック信号を出力する回路(以降、クロックドライバと称する)として、そのマスタスライス半導体集積回路が従来から有する基本セルをその基本セル単位で用いるようにしている。このように基本セルをその基本セル単位で用いることで、その駆動力を増加させることができ、又、このように基本セル単位で用いることで、前述のようなクロックツリを用いる場合のような、バッファゲートの配線に関する設計上の煩雑さをより低減することが可能となっている。例えば、基本セル単位で用いることに比べ、設計上の複雑さをより低減することができ、

(0018)更に、本発明においては、前記クロックドライバ用基本セルの配線を、該クロックドライバ用基本セル列以外の他の基本セル列(以降、論理生成基本セルと称する)を用いて、その半導体集積回路に作り込むとする所望の論理回路のうち、前記クロックドライバ及びその出力に接続される各基本セルへのクロック信号以外の配線配線設計を行うようにしている。

(0019)又、このような前記論理生成基本セルを用いた配線配線設計の後に、まず、複数の前記論理生成基本セル列の列間へと、前記クロックドライバ用基本セル列を挿入配置するようにしている。このような挿入配置によって、該クロックドライバ用基本セル列の配線が定まる。

(0020)又、該クロックドライバ用基本セル列の挿入配置の際には、前記クロック信号を入力する基本セルの半導体集積回路上の分布を配線するようにする。例えば、前記クロック信号を入力する基本セルが半導体集積

回路上で偏った分布がされている場合、このような前記クロック信号を入力する基本セルが集中している場所を配線しながら、前記クロックドライバ用基本セル列を挿入配置するようにする。

(0021)このように挿入配置された後に、前記クロック信号の配線設計等を行う。

(0022)本発明においては、このように前記論理生成基本セルを用いた配線配線設計の後に、前記クロックドライバ用基本セル列の挿入配置やこれに係る前記クロック信号の配線設計を行うようにしているため、その半導体集積回路の内部の各部への前記クロック信号の供給とが、より優れたより能率の良い設計を行うことが可能である。

(0023)即ち、前記クロックドライバ用基本セル列の挿入配置の際には、前記クロック信号の供給先の多数の基本セルの配線が既に定められているため、これら前記クロック信号の供給先の基本セルの分布をより正確に把握することが可能である。又、このような前記クロック信号の供給先の基本セルの分布を配線しながら、前記クロックドライバ用基本セル列を挿入配置することで、スキューの低減等の点で、より優れた設計を行うことが可能である。

(0024)又、本発明においては、その設計が基本セル単位で行われていたため、例えば基本セル単位に設計する場合に比べても、より能率良く設計することが可能となっている。

(0025)

(実施例)以下、図を用いて本発明の実施例を詳細に説明する。

(0026)図1は、本発明が適用された半導体集積回路のレイアウト設計方法の実施例にて設計される一例の半導体集積回路チップ全体のレイアウト前の平面図である。

(0027)この図1において、半導体集積回路チップ1は、前記マスタスライス半導体集積回路の一種であるゲートアレイである。前記半導体集積回路チップ1は、論理回路を構成するための複数の基本セルを配列した基本セル列16が合計14列設けられ、各基本セル間に配線接続すること、所望の論理回路を作り込むものである。又、該半導体集積回路チップ1は、各基本セルが備えるMOSトランジスタ等の、配線より下層のパターンが共通化され、一方、配線回路はカスタム化されている。

(0028)又、この図1では、前記半導体集積回路チップ1の周辺それぞれは、合計14個のボンディングパッド12が設けられている。即ち、該ボンディングパッド12は合計(14×4)個となっている。又、これらボンディングパッド12の内側には、合計(14×4)個の入出力用基本セル14が配列されている。

(0029)該入出力用基本セル14は、前記基本セル

列16にて構成される論理回路が前記ボンディングパッド12を用いて当該半導体集積回路チップ1の外部に對して信号を入力あるいは出力する際に用いられる。該入出力用基本セル14は、図示されない入力バッファゲートと、図示されない出力バッファゲートとにより構成されている。

(0030)本実施例の半導体集積回路のレイアウト設計方法においては、次に示すような手順にて配線設計を行う。

(0031)ステップ1:クロックドライバからクロック信号を入力する負荷の大きさを算出する。本実施例においては、これは、クロックドライバからクロック信号を入力する基本セルの数から、負荷の大きさを算出するものである。本実施例においては、基本セルのファン・インが同一となっているので、基本セルの数から、クロック信号の負荷の大きさを算出することが可能である。

(0032)ステップ2:求められた前記クロック信号の負荷の大きさから、前記クロックドライバとして用いる前記基本セル列16、即ち、クロックドライバ用基本セル列(図2〜図4で符号18aで示されるもの)の列数を算出する。この際、前記クロックドライバ用基本セル列の列数は、当然ながら、自然数となる。

(0033)ステップ3:前記クロックドライバ以外及びその出力に接続される各基本セルへのクロック信号以外の配線配線設計を行う。この設計の際には、前記クロックドライバ用基本セル列以外の基本セル列(以降、論理生成基本セル列と称する)を用いて設計する。即ち、前記半導体集積回路チップ1上の全基本セル16のうち、前記クロックドライバ用基本セル列として用いられる列数にだけ異なる列数の、前記基本セル列18にて設計を行う。前記クロックドライバ用基本セル列と前記論理生成基本セルとは、その設計用途のみ異なるものであつて、前記基本セル16である点では同一物である。

(0034)ステップ4:前記クロックドライバ用基本セル列の挿入配置を行う。この時点で、前記クロックドライバ及びその出力に接続される各基本セルへのクロック信号以外の配線配線設計は終了している。従つて、前記クロックドライバ用基本セル列の挿入配置にあたっては、前記クロック信号を入力する基本セルの半導体集積回路チップ1上での分布を配線するようにする。

(0035)ステップ5:挿入配置された前記クロックドライバ用基本セル列に対して、使用されていない配線回路を用いてクロック信号の配線を行う。

(0036)以下、図1〜図4を用いながら、前述のステップ1〜ステップ5を、より具体的に説明する。

(0037)なお、ここで、前記半導体集積回路チップ1に組み込まれる論理回路において、前記クロック信号を入力する前記基本セルの個数が、合計41個である

のとする。又、このように合計41個の前記基本セルに、対して該クロック信号を出力するためには、少なくとも合計2列の前記クロックドライバ用基本セル列が必要とされるものと仮定する。

【0038】図2は、前記クロックドライバ及び前記クロックライン以外の配線設計後の本実施例の半導体集積回路チップの平面図である。

【0039】この図2においては、前記ステップ3の終了後に相当するものが示されている。又、この図2において、符号18で示される斜め部分には、それぞれ、前記クロック信号を入力する基本セルである。該基本セル18は、合計41個となっている。又、この図2において、合計14列の前記基本セル列16のうち、斜線で示される下側の合計2列については、前記クロックドライバ用基本セル列16aとされている。従って、上から合

計12列が前記論理生成基本セル列とされている。【0040】これら論理生成基本セル列のみを用いて、作り込む所望の論理回路のうち、この図2の段階では、前記クロックドライバ及びその出力に接続される各基本セル18へのクロックライン以外の配線設計が行われている。このような配線設計に従って、前記クロック信号を入力する前記基本セル18も、前記半導体集積回路1上に配置されている。

【0041】なお、この図2においては、特に図示されていないが、このように前記論理生成基本セル列を用いた配線設計によって、各基本セル間は、作り込み回路に従った配線接続がなされている。

【0042】図3は、前記クロックドライバ用基本セル列の挿入配置後の本実施例の半導体集積回路チップの平面図である。

【0043】この図3においては、前記ステップ4の終了後に相当するものが示されている。又、この図3において、斜線及び符号16aで示される合計2列の前記クロックドライバ用基本セル列が、それぞれ、上から第3列目と、上から第11列目とに挿入配置されている。この挿入配置は、前記クロック信号を入力する前記基本セル18の配線設計後の平面図1上での分布を配慮し決定されたものである。

【0044】例えば、上から第1列目から第5列目までの前記基本セル列16については、それぞれ、1列目から第3列目までの前記基本セル18を合計3個から合計5個備えている。一方、第6列目から第8列目までは、前記基本セル18がそれぞれ1個と1個と1個ととなっている。従って、上から第3列目の前記クロックドライバ用基本セル列16aは、当該半導体集積回路チップ11上においても、前記基本セル18が分布するその略中心に挿入配置されている。

【0045】同様に、第9列目から第14列目までの前記基本セル列16は、いずれも、前記クロック信号を入力する前記基本セル18を合計3個から合計7個備して

いる。従って、上から第11列目の前記クロックドライバ用基本セル列16aについても、前記半導体集積回路チップ11の下側で前記基本セル18の分布の略中心に挿入配置されている。

【0046】なお、このように前記クロックドライバ用基本セル列16の挿入配置において、前記クロック信号を入力する前記基本セル18の前記半導体集積回路チップ11上の分布を配慮すると共に、他の条件を考慮するようになっている。本実施例においては、この点に

ついて、前記ステップ4中において更に配慮されている。例えば、前記基本セル18のうち、特に前記クロック信号の遅延が問題となるものについては、該基本セル18を含む前記基本セル列16へとより接近するように、前記クロックドライバ用基本セル列16aを挿入配置するようにされている。

【0047】図4は、本実施例によるクロックライン設計後の半導体集積回路チップの平面図である。

【0048】この図4においては、前記ステップ5の終了後に相当するものが示されている。又、この図4においては、前記図3に示されるものに対して、合計2個の前記クロックドライバ用基本セル列16aに別して、クロックラインの接続がなされている。これによって、多

数の前記ポンディングパッド12のうち、符号12aが付けられたものは、当該半導体集積回路チップ11へ外部から前記クロック信号を入力するものとなっている。更に、多数の前記入力用基本セル14のうち、符号14aが付けられたものは、前記ポンディングパッド12aから入力される前記クロック信号に用いられている。又、該入力用基本セル14a中の入力パッド14bが、このように前記クロック信号の入力に用いられている。

【0049】該入力パッド14bの出力は、配線60を経て、合計2個の前記クロックドライバ用基本セル列16aが有する全ての前記基本セルへと入力される。即ち、これらのクロックドライバ用基本セル列16aが備える全ての基本セルはクロックパッドとされ、これら全てのクロックパッドの入力へは、前記配線60を経て前記入力パッド14bからのクロック信号が入力されている。又、これら多数のクロックパッドからは、符号62で示されるもの等、それぞれの配線にて前記基本セル18へと前記クロック信号が出力されている。

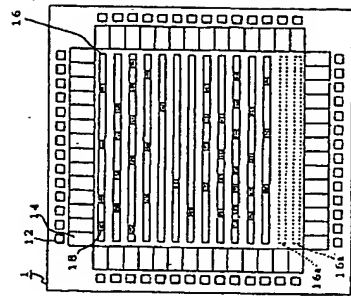
【0050】以上説明したとおり、本実施例においては、合計41個、前記クロック信号を入力する前記基本セル18に対して、合計2個の前記クロックドライバ用基本セル列16aが備える多数の前記基本セルを用いて、スキューの低減を図りながら前記クロック信号の供給を行うことが可能となっている。本実施例においては、このように合計2個の前記クロックドライバ用基本セル列16aを主として前記クロックドライバが構成されているが、このような基本セル列単位での設計及び挿入配置によって、該クロックドライバ及びこれに属する

* 用基本セル列の挿入配置後の平面図
【図4】前記半導体集積回路チップのクロックライン設計後の平面図

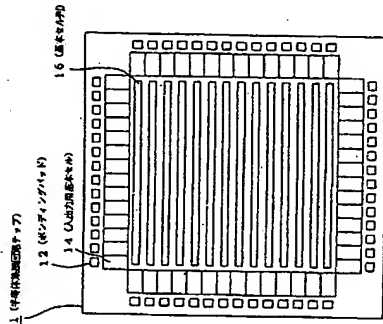
【図5】従来のクロックツリーを備えた半導体集積回路チップの模式的な平面図
(符号の説明)

- 1...半導体集積回路チップ
- 3...内部ゲート領域
- 12...ポンディングパッド
- 12a...ポンディングパッド(クロック信号の入力用)
- 14...入力用基本セル
- 14a...出力用基本セル(クロック信号の入力用)
- 14b...入力パッド(ゲート(クロック信号の入力用))
- 16...基本セル列
- 16a...クロックドライバ用基本セル列
- 18...クロック信号を入力する基本セル
- 22...22a...出力用ポンディングパッド
- 24...24a...入力用基本セル
- 42...パッド(ゲート)
- 60...クロックラインの配線

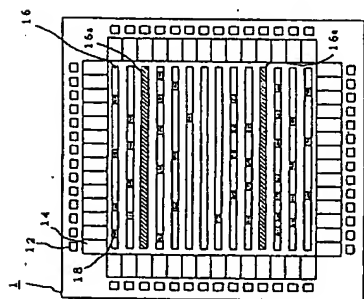
(図2)



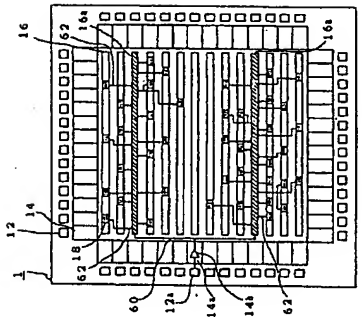
(図1)



【図3】



【図4】



【図5】

